

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-064730
 (43)Date of publication of application : 07.03.1997

(51)Int.Cl. H03L 7/10

(21)Application number : 07-215760 (71)Applicant : MITSUBISHI ELECTRIC CORP

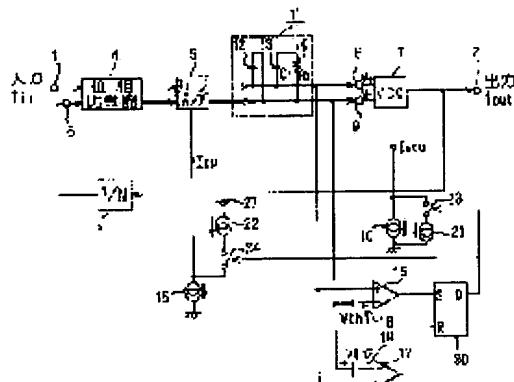
(22)Date of filing : 24.08.1995 (72)Inventor : MIYAKE HIDEKI

(54) PLL CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain the PLL circuit operated exactly with a wide lock range without setting again constants of a VCO or a filter.

SOLUTION: The PLL circuit provided with a filter 11 receiving an input via a charge pump 5 and a VCO 7 receiving an output of the filter 11 includes a set/reset flip-flop 20 whose output state depends on an input voltage of the VCO 7 and plural switches 23, 24 whose state depends on an output of the set/reset flip-flop 20. Then an input output characteristic of the VCO 7 and the value of current of the charge pump 5 are switched depending on the state of the switch.



LEGAL STATUS

[Date of request for examination] 21.05.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-64730

(43)公開日 平成9年(1997)3月7日

(51)Int.Cl.⁶

H 0 3 L 7/10

識別記号

庁内整理番号

F I

H 0 3 L 7/10

技術表示箇所

Z

審査請求 未請求 請求項の数 5 O L (全 6 頁)

(21)出願番号 特願平7-215760

(22)出願日 平成7年(1995)8月24日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 三宅 秀樹

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

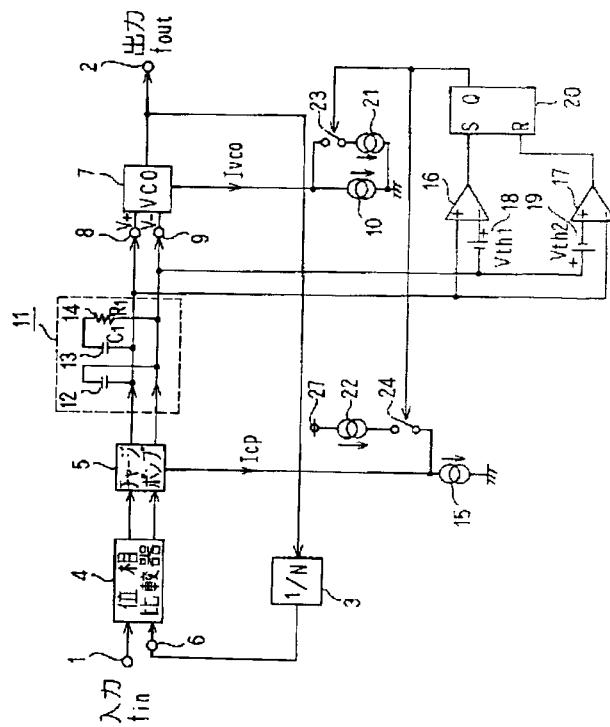
(74)代理人 弁理士 高田 守 (外4名)

(54)【発明の名称】 PLL回路

(57)【要約】

【課題】 VCOやフィルタの定数を設定しなおすことなしに、的確に動作できる、広いロックレンジを有するPLL回路を得る。

【解決手段】 チャージポンプ5を介して入力を受けるフィルタ11と、このフィルタ11の出力を受けるVCO7とを備えたPLL回路において、VCO7の入力電圧に応じて出力の状態が決まるセットリセットフリップフロップ20と、セットリセットフリップフロップ20の出力値によって状態が決まる複数のスイッチ23・24とを含み、スイッチの状態によってVCO7の入出力特性とチャージポンプ5の電流値を切換える。



【特許請求の範囲】

【請求項1】 チャージポンプを介して入力を受けるフィルタと、このフィルタの出力を受ける電圧制御発振器とを備えたPLL回路において、入力状態に応じその状態が決まる複数のスイッチを含み、このスイッチの状態によって電圧制御発振器の入出力特性とチャージポンプの電流値を切換えることを特徴とするPLL回路。

【請求項2】 チャージポンプを介して入力を受けるフィルタと、このフィルタの出力を受ける電圧制御発振器とを備えたPLL回路において、電圧制御発振器の入力電圧に応じて出力の状態が決まるセットリセットフリップフロップと、セットリセットフリップフロップの出力値によって状態が決まる複数のスイッチとを含み、スイッチの状態によって電圧制御発振器の入出力特性とチャージポンプの電流値を切換えることを特徴とするPLL回路。

【請求項3】 チャージポンプを介して入力を受けるフィルタと、このフィルタの出力を受ける電圧制御発振器とを備えたPLL回路において、電圧制御発振器の入力電圧を検出する複数個の電圧コンパレータと、電圧コンパレータの出力値によって出力の状態が決まるセットリセットフリップフロップと、セットリセットフリップフロップの出力値によって状態が決まる複数のスイッチとを含み、スイッチの状態によって電圧制御発振器の入出力特性とチャージポンプの電流値を切換えることを特徴とするPLL回路。

【請求項4】 チャージポンプを介して入力を受けるフィルタと、このフィルタの出力を受ける電圧制御発振器とを備えたPLL回路において、入力周波数に応じて状態が決まる複数のスイッチとを含み、スイッチの状態によって電圧制御発振器の入出力特性とチャージポンプの電流値を切換えることを特徴とするPLL回路。

【請求項5】 チャージポンプを介して入力を受けるフィルタと、このフィルタの出力を受ける電圧制御発振器とを備えたPLL回路において、入力周波数を検出してデジタル値に変換する周波数-デジタル変換器と、周波数-デジタル変換器の出力値によって状態が決まる複数のスイッチとを含み、スイッチの状態によって電圧制御発振器の入出力特性とチャージポンプの電流値を切換えることを特徴とするPLL回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、PLL回路に関するものである。

【0002】

【従来の技術】 図5は、従来のPLL回路の一例である。図において、1は入力端子、2は出力端子、3は出力端子2に現れる出力信号の周波数をN分の1に分周する分周器である。4は位相比較器、5はチャージポンプである。位相比較器4とチャージポンプ5は、入力端子

1に入力される信号と、位相比較器の入力端子6に入力される分周器の出力信号の位相差に応じた電流を出力する。7は電圧制御発振器（以下、VCOという）で、正の入力端子8と負の入力端子9との間の電圧差によって出力信号周波数が変化するものである。また、電流源10の電流値によっても出力信号周波数が変化する。11はフィルタで、コンデンサ12、13と抵抗14で構成される。このフィルタ11は、チャージポンプの出力電流を積分して電圧に変換させるためと、チャージポンプ電流源15の電流値と、VCOの入出力特性とともにPLL回路の応答特性を設定するためにある。

【0003】 以下に動作について説明する。このPLL回路の機能は、入力端子1に入力される信号の周波数のN倍の周波数の信号を出力端子2に出力させ、入力信号の周波数や位相が変化したとき、出力信号もこれに追従させることである。例えば、入力端子1に入力される信号の位相に比べ分周器3の出力信号の位相が遅れている場合は、位相比較器4、チャージポンプ5及びフィルタ11により、VCO7の正の入力端子の電圧が負の入力端子9の電圧より高くなる。また、VCO7の入出力特性は、図6の実線のようになっているため、出力信号周波数は、高くなる。すなわち、分周器3の出力信号の位相が進む方向に動作する。また、逆に、入力端子1に入力される信号の位相に比べ分周器3の出力信号の位相が進んでいる場合は、分周器3の出力信号の位相を遅らせるように動作する。以上のようなフィードバックにより、出力信号の位相や周波数が入力信号の位相や周波数に追従するようになっていく。

【0004】 ここで、VCO7は、電流源10の電流値が一定であれば、図6のように出力周波数の範囲に限界がある。これは、主に、VCO7の入力ダイナミックレンジに限界があるためである。また、チャージポンプ5の出力ダイナミックレンジによっても出力周波数範囲が制限されることになる。このため、従来のPLL回路では、出力信号の周波数が入力信号の周波数に追従できる範囲（以下、ロックレンジという）に限界があった。

【0005】 また、入力周波数が大きく変わるのは、VCO7の電流源10の電流値を設定しなおすと同時に、フィルタ11に使用される抵抗14やコンデンサ12・13の値あるいは、チャージポンプ5の電流源15の電流値も設定しなおす必要があった。

【0006】 この発明の目的は、VCOやフィルタの定数を設定しなおすことなく、広いロックレンジを有するPLL回路を提供することにある。

【0007】 第1の発明は、VCOやフィルタの定数を設定しなおすことなしに、的確に動作できる、広いロックレンジを有するPLL回路を得ようとするものである。

【0008】 第2の発明は、VCOやフィルタの定数を設定しなおすことなしに、より的確に動作できる、広い

ロックレンジを有するPLL回路を得ようとするものである。

【0009】第3の発明は、VCOやフィルタの定数を設定しなおすことなしに、一層的確に動作できる、広いロックレンジを有するPLL回路を得ようとするものである。

【0010】第4の発明は、VCOやフィルタの定数を設定しなおすことなしに、更に的確に動作できる、広いロックレンジを有するPLL回路を得ようとするものである。

【0011】第5の発明は、VCOやフィルタの定数を設定しなおすことなしに、より一層的確に動作できる、広いロックレンジを有するPLL回路を得ようとするものである。

【0012】

【課題を解決するための手段】第1の発明においては、チャージポンプを介して入力を受けるフィルタと、このフィルタの出力を受ける電圧制御発振器とを備えたPLL回路において、入力状態に応じその状態が決まる複数のスイッチを含み、このスイッチの状態によって電圧制御発振器の入出力特性とチャージポンプの電流値を切換えるようにしたものである。

【0013】第2の発明においては、チャージポンプを介して入力を受けるフィルタと、このフィルタの出力を受ける電圧制御発振器とを備えたPLL回路において、電圧制御発振器の入力電圧に応じて出力の状態が決まるセットリセットフリップフロップと、セットリセットフリップフロップの出力値によって状態が決まる複数のスイッチとを含み、スイッチの状態によって電圧制御発振器の入出力特性とチャージポンプの電流値を切換えるようにしたものである。

【0014】第3の発明においては、チャージポンプを介して入力を受けるフィルタと、このフィルタの出力を受ける電圧制御発振器とを備えたPLL回路において、電圧制御発振器の入力電圧を検出する複数個の電圧コンパレータと、電圧コンパレータの出力値によって出力の状態が決まるセットリセットフリップフロップと、セットリセットフリップフロップの出力値によって状態が決まる複数のスイッチとを含み、スイッチの状態によって電圧制御発振器の入出力特性とチャージポンプの電流値を切換えるようにしたものである。

【0015】第4の発明においては、チャージポンプを介して入力を受けるフィルタと、このフィルタの出力を受ける電圧制御発振器とを備えたPLL回路において、入力周波数に応じて状態が決まる複数のスイッチとを含み、スイッチの状態によって電圧制御発振器の入出力特性とチャージポンプの電流値を切換えるようにしたものである。

【0016】第5の発明においては、チャージポンプを介して入力を受けるフィルタと、このフィルタの出力を

受ける電圧制御発振器とを備えたPLL回路において、入力周波数を検出してデジタル値に変換する周波数デジタル変換器と、周波数デジタル変換器の出力値によって状態が決まる複数のスイッチとを含み、スイッチの状態によって電圧制御発振器の入出力特性とチャージポンプの電流値を切換えるようにしたものである。

【0017】

【発明の実施の形態】

実施の形態1. 以下、この発明の実施の一形態を図について説明する。図1において、1は入力端子、2は出力端子、3は出力端子2に現れる出力信号の周波数をN分の1に分周する分周器である。4は位相比較器、5はチャージポンプである。位相比較器4とチャージポンプ5は、入力端子1に入力される信号と、位相比較器の入力端子6に入力される分周器の出力信号の位相差に応じた電流を出力する。7はVCOで、正の入力端子8と負の入力端子9の間の電圧差によって出力信号周波数が変化するものである。また、電流源10の電流値によっても出力信号周波数が変化する。11はフィルタで、コンデンサ12、13と抵抗14で構成される。このフィルタ

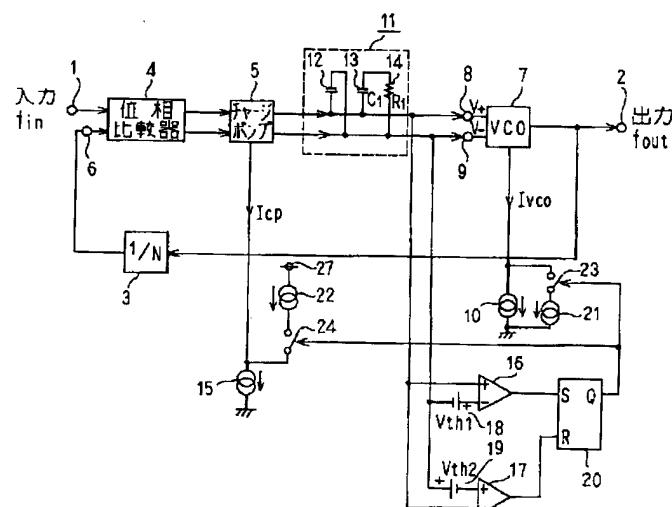
11は、チャージポンプの出力電流を積分して電圧に変換させるためと、チャージポンプ電流源15の電流値と、VCOの入出力特性とともにPLL回路の応答特性を設定するためにある。16と17は電圧コンパレータで、電圧コンパレータ16の正入力端子と電圧コンパレータ17の負入力端子は、VCO7の正入力端子8に接続される。電圧コンパレータ16の負入力端子には、VCO7の負入力端子の電圧よりVth1高い電圧が入力され、電圧コンパレータ17の正入力端子には、VCO

30 7の負入力端子の電圧よりVth2低い電圧が入力される。ここで、Vth1とVth2の値は、VCO7の入力電圧ダイナミックレンジや、チャージポンプ5の出力電圧ダイナミックレンジより小さい値を選ぶ。20はSRFFで、セット入力端子Sの電圧が高レベルでリセット入力端子Rの電圧が低レベルのときは、出力Qは、高レベルになり、セット入力端子Sの電圧が低レベルでリセット入力端子Rの電圧が高レベルのときは、出力Qは、低レベルになり、セット入力端子Sとリセット入力端子Rの電圧が両方とも低レベルになったときは、出力

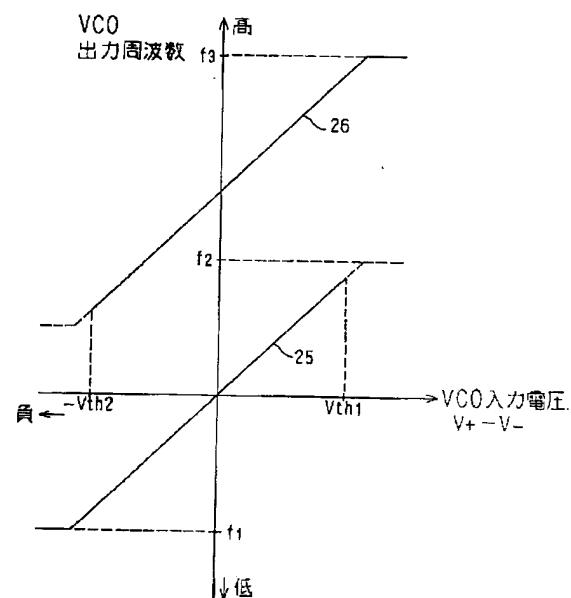
40 Qは変化せず、前の状態を保持する。23と24はスイッチで、SRFF20の出力Qが高レベルになったとき、ONになる。スイッチ23がONになると、電流源21の電流が電流源10の電流に加算されVCO7に流す電流が増加し、VCO7の出力周波数が高くなる。また、スイッチ24がONになると、電流源15の電流の一部が電流源22に流れ、チャージポンプ5に流す電流が減少する。27は電源電圧端子である。

【0018】図2は、この実施の形態のVCOの入出力特性である。この実施の形態のPLL回路は、入力周波数が低いときは、VCO7は、図2の実線25の特性に

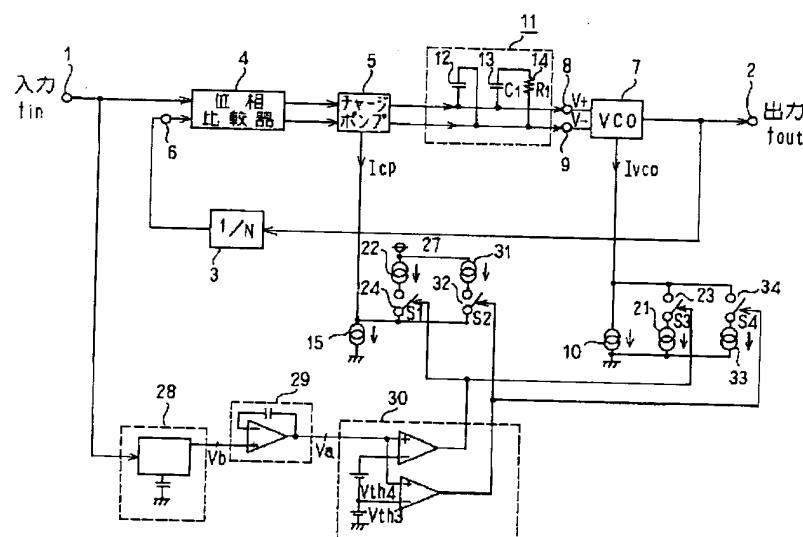
【図 1】



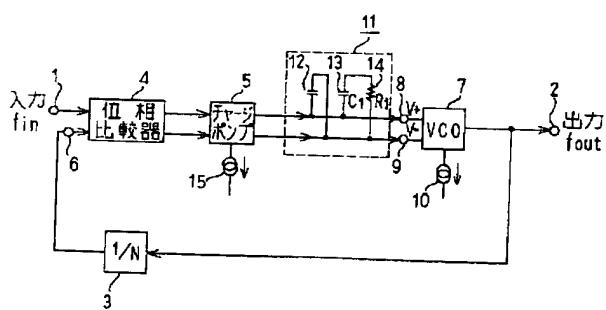
【図 2】



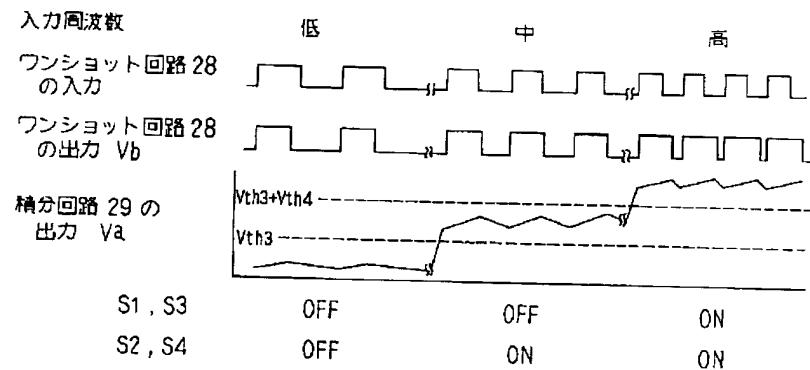
【図 3】



【図 5】



【図4】



【図6】

